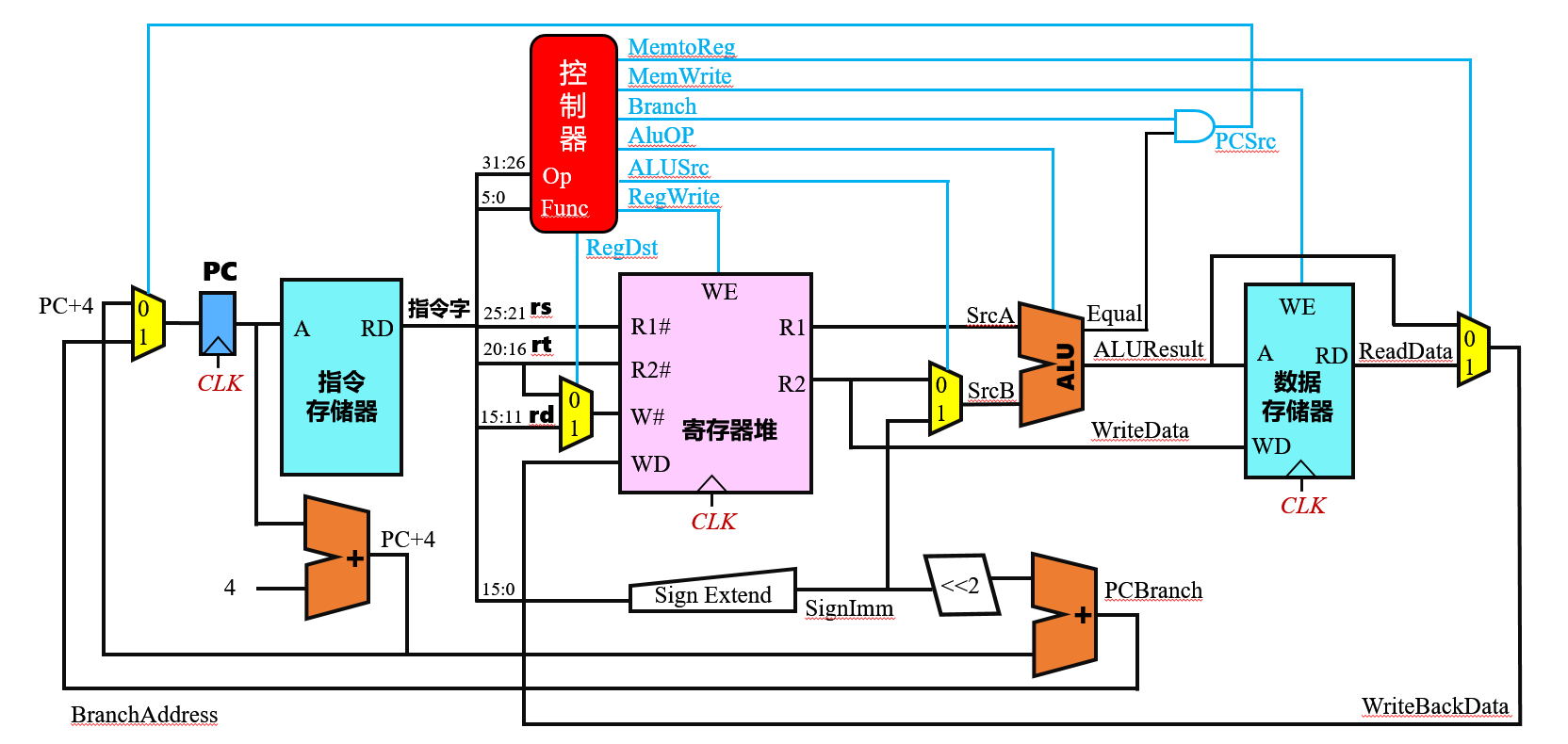
**单周期MIPS CPU设计**

1. **实验目的**

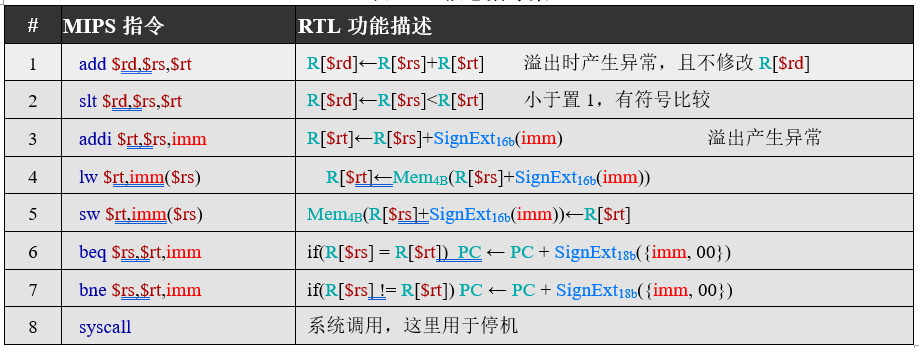
**掌握控制器设计的基本原理，能利用硬布线控制器的设计原理在Logisim平台中设计实现MIPS单周期CPU。**

1. **实验内容**

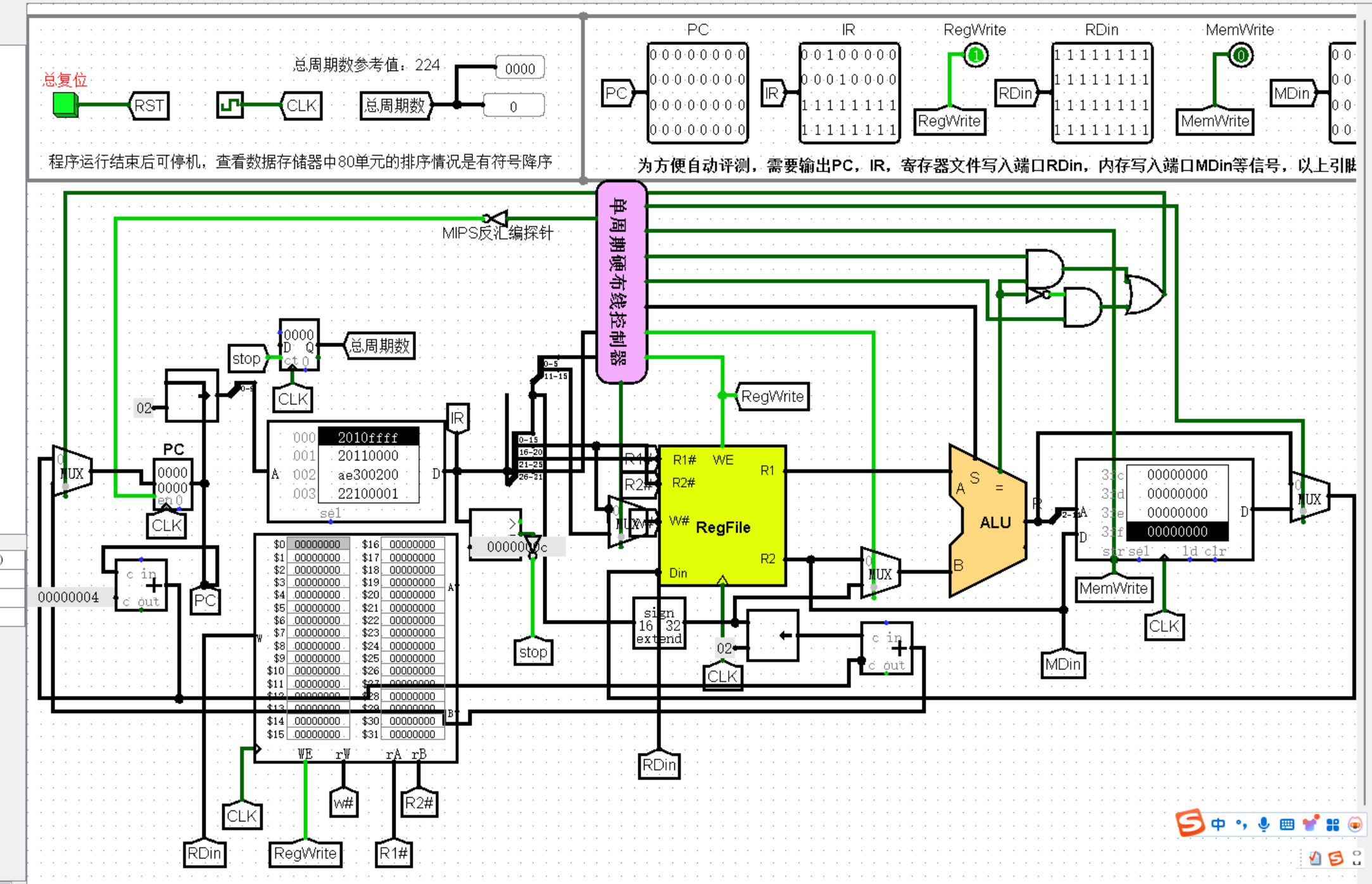
**利用运算器实验，存储系统实验中构建的运算器、寄存器文件、存储系统等部件以及Logisim中其它功能部件构建一个32位MIPS CPU单周期处理器。数据通路如下图所示：**

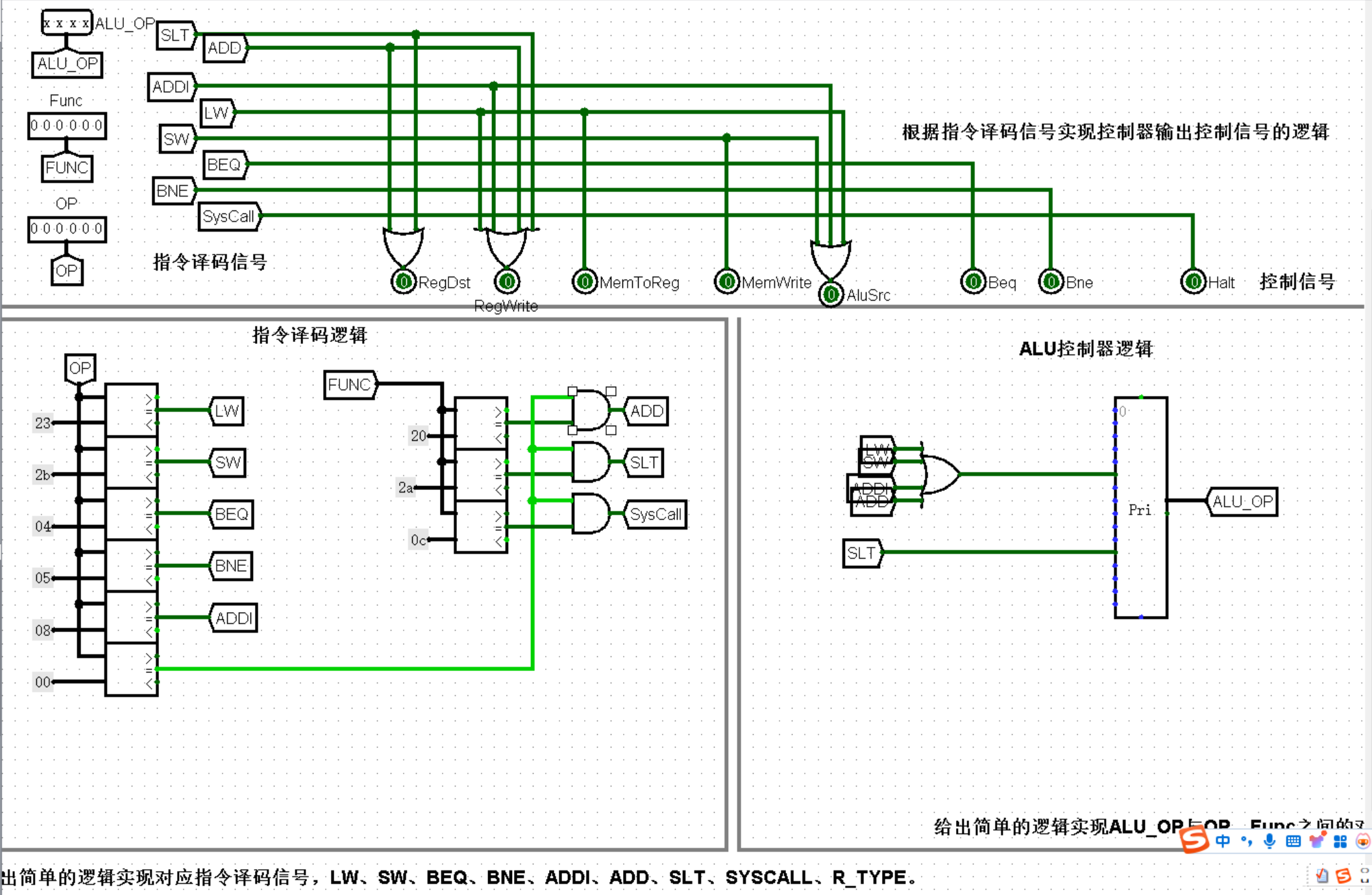


**要求支持8条MIPS核心指令，最终设计实现的MIPS处理器能运行实验包中的冒泡排序测试程序sort.asm，该程序自动在数据存储器0~15号字单元中写入16个数据，然后利用冒泡排序将数据升序排序，要求统计指令条数并与MARS中的指令统计数目进行对比。**

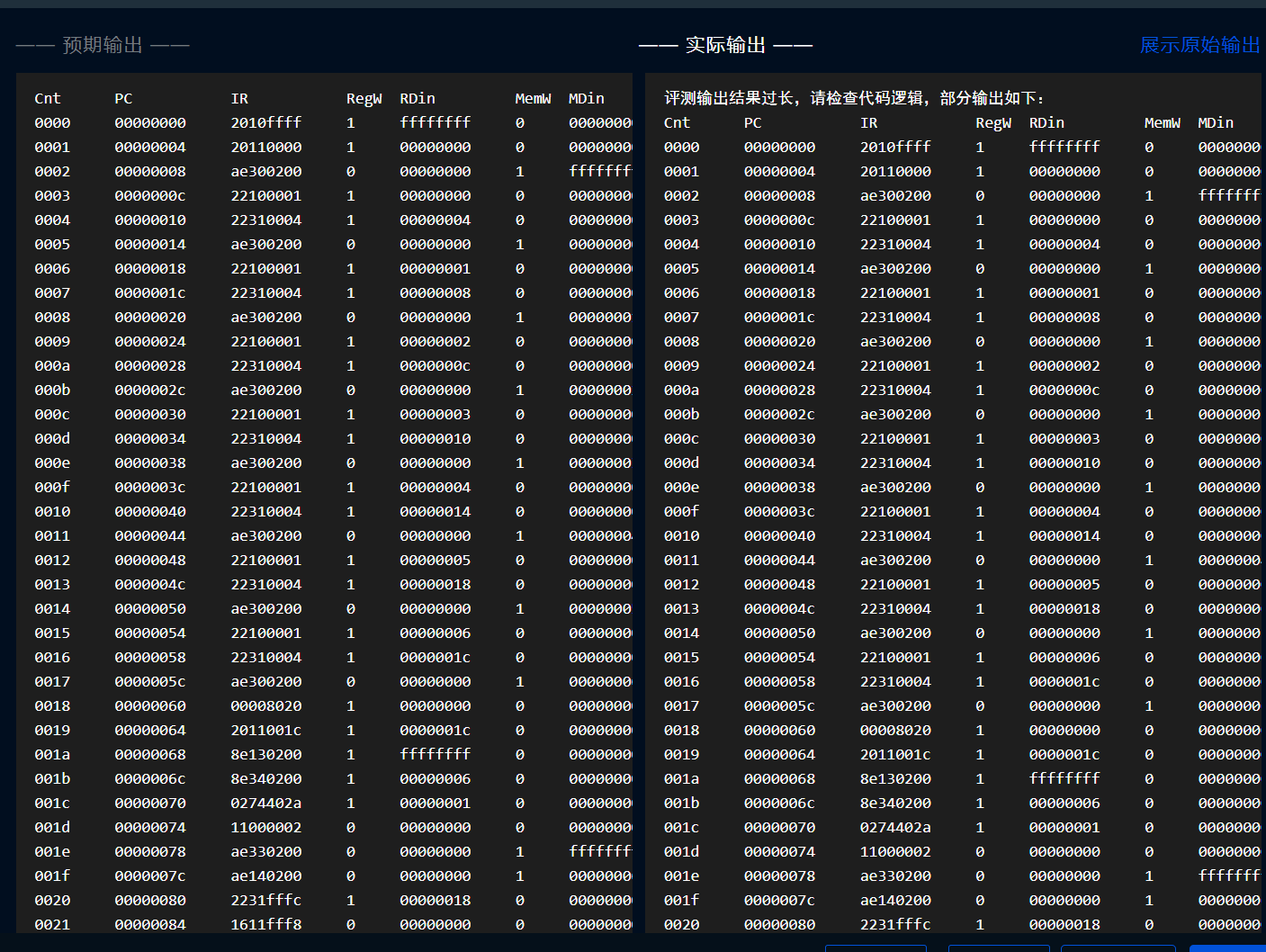


1. **实验原理（电路图）**





1. **实验结果**



**五、实验小结（分析实验结果，阐述遇到的问题，解决的办法和实验收获）**